بسمه تعالی

با رشد صنعت نیمه‌هادی و کاهش هزینه‌ی تولید SoCهای خاص‌منظوره از یک طرف و کاهش شتاب کوچک‌شدن feature size از سوی دیگر، مدل‌هایی که تا کنون برای توسعه‌ی آی‌سی‌های دیجیتال به کار رفته‌اند، تا حدی کارایی خود را از دست می‌دهند (۱). معماری RISC-V (ریسک‌فایو) که یک معماری open source است، با تمهیداتی این مشکلات را برطرف می‌کند (۲):

* به دلیل open source بودن امکان توسعه‌ی انواع آی‌سی با کاربری‌های گوناگون وجود دارد، به نحوی که تمامی آن‌ها از tool chain و software stack یکسانی استفاده کنند.
* به دلیل ماژولاربودن ریسک‌فایو می‌توان به سادگی آن را برای کاربردهای گوناگون توسعه داد و برای منظورهای مختلف به آن دستورالعمل‌های اختصاصی اضافه کرد، بدون آن که سازگاری آی‌سی ساخته‌شده با ابزارهای استاندارد موجود از دست برود.
* همچنین به دلیل ماژولاربودن، امکان ارائه‌ی طراحی‌های خاص‌منظوره‌ی کم‌هزینه‌تری وجود دارد که کاملا از لحاظ نرم‌افزار با طرح‌های استاندارد سازگار باشند.
* به دلیل کاهش هزینه‌‌ی طراحی یک SoC خاص‌منظوره، امکان طراحی و ساخت چنین آی‌سی‌هایی برای کاربردهای گسترده‌تری فراهم می‌گردد (۳).

همچنین برای تسهیل طراحی و ساخت SoCهای جدید و استفاده‌ی حداکثری از طراحی‌های پیشین، گروه BAR[[1]](#footnote-1) (پژوهش معماری کامپیوتر دانشگاه کالیفرنیا در برکلی) اقدام به ارائه‌ی زبان توصیف سخت‌افزار شئ‌گرایی مبنی بر Scala نموده و آن‌را Chisel نامیده. همچنین بر اساس زبان چیزل، ابزار Rocket Core ساخته شده که امکان طراحی و ساخت سریع پردازنده‌هایی بر مبنای معماری ریسک‌فایو را فراهم می‌کند. افزایش سرعت طراحی از این طریق به قدری بوده که گروه مذکور طی ۵ سال، ۱۱ پردازنده‌ی مختلف را tape out کرده است (۴).

در ادامه‌ی این گزارش به بررسی معماری ریسک‌فایو پرداخته می‌شود.

**بررسی سطوح دسترسی[[2]](#footnote-2) در معماری ریسک‌فایو**

معماری ریسک‌فایو در حال حاضر از سه سطح دسترسی پشتیبانی می‌کند، که در جدول ۱ نشان داده‌شده‌اند.

|  |  |  |  |
| --- | --- | --- | --- |
| سطح | کد | نام | اختصار |
| ۰ | 00 | کاربر/برنامه | U |
| ۱ | 01 | ناظر[[3]](#footnote-3) | S |
| ۲ | 10 | *رزروشده* |  |
| ۳ | 11 | ماشین | M |
| جدول ۱ – سطوح دسترسی در معماری ریسک‌فایو - ترجمه‌شده از (۵) | | | |

سطح ۲ در حال حاضر بلااستفاده بوده و برای توسعه‌ی hypervisor در آینده در نظر گرفته شده. سطح ۳ بیشترین دسترسی و سطح ۰ کمترین دسترسی را دارد. بسته به کاربرد می‌توان بین پیاده‌سازی ۱ تا ۳ سطح دسترسی و منابع سخت‌افزاری موردنیاز برای این کار به تعادل رسید. جدول ۲ ترکیب‌های قابل‌پیاده‌سازی پشتیبانی‌شده را نشان می‌دهد.

|  |  |  |
| --- | --- | --- |
| تعداد سطوح | سطوح پشتیبانی‌شده | کاربرد مورد نظر |
| ۱ | M | سیستم‌های نهفته‌ی ساده |
| ۲ | M، U | سیستم‌های نهفته‌ی امن |
| ۳ | M، S، U | سیستم‌هایی که سیستم‌عامل‌های شبه‌یونیکس را اجرا می‌کنند |
| جدول ۲ – تلفیق‌های پشتیبانی‌شده‌ی سطوح دسترسی – ترجمه‌شده از (۵) | | |

تمامی دستوراتی در معماری ریسک‌فایو که مستقیما با سطوح دسترسی سر و کار دارند، از آپ‌کد SYSTEM استفاده می‌کنند. یکی از کاربردهای عمده‌ی چنین دستوراتی مربوط به خواندن و نوشتن رجیسترهای کنترل و حالت یا CSR[[4]](#footnote-4)هاست. در معماری ریسک‌فایو یک فضای آدرس ۱۲ بیتی برای CSRها در نظر گرفته شده که ۲ بیت پرارزش آن برای تعیین نحوه‌ی دسترسی (خواندنی – نوشتنی یا فقط خواندنی) و ۲ بیت بعدی برای تعیین پایین‌ترین سطح دسترسی مجاز برای آن CSR به کار می‌روند. به دلیل آن که این شکل آدرس‌دهی می‌تواند باعث تداخل بین آدرس‌های مجاز و سطوح دسترسی شود، به عبارت دیگر هنگامی که از ۴ بیت پرارزش فضای آدرس برای آدرس‌دهی یک CSR استفاده شود، توصیه می‌گردد در چنین مواقعی تمهیدی اندیشیده شود که دسترسی به CSR از یک سطح دسترسی پایین‌تر منجر به یک trap شود و در آن trap، با استفاده از سطح دسترسی بالاتر فراهم‌شده، امکان دسترسی ایجاد گردد، به طریقی که تمام این فرآيند برای کاربر نامرئی باشد.

**توسعه‌پذیری در CSRها**

از آنجا که توسعه‌پذیری از مهم‌ترین اهداف و مزایای معماری ریسک‌فایو می‌باشد، در CSRها نیز به این منظور امکاناتی در نظر گرفته شده. یکی از این امکانات *misa* یا machine ISA register است که ساختار آن در شکل ۱ مشاهده می‌شود.

|  |  |  |
| --- | --- | --- |
| 25 0 | MXLEN-3 26 | MXLEN-1 MXLEN-2 |
| افزونه‌ها [25:0] | رزروشده (صفر) | MXL[1:0] |
| 26 | MXLEN - 28 | 2 |
| شکل ۱ – ساختار *misa* – ترجمه‌شده از ۵ | | |

در این رجیستر MXL عرض باس (۳۲، ۶۴ یا ۱۲۸ بیت) را تعیین می‌کند. همچنین بیت‌های افزونه نیز افزونه‌های استاندارد به کاررفته را تعیین می‌کنند. بدین ترتیب کد نوشته‌شده می‌تواند در هنگام بوت از جزئیات معماری و دستورات موجود مطلع گردد.

1. University of California, Berkeley Architecture Research [↑](#footnote-ref-1)
2. Privilege levels [↑](#footnote-ref-2)
3. Supervisor [↑](#footnote-ref-3)
4. Control and Status Registers [↑](#footnote-ref-4)