بسمه تعالی

با رشد صنعت نیمه‌هادی و کاهش هزینه‌ی تولید SoCهای خاص‌منظوره از یک طرف و کاهش شتاب کوچک‌شدن feature size از سوی دیگر، مدل‌هایی که تا کنون برای توسعه‌ی آی‌سی‌های دیجیتال به کار رفته‌اند، تا حدی کارایی خود را از دست می‌دهند (۱). معماری RISC-V (ریسک‌فایو) که یک معماری open source است، با تمهیداتی این مشکلات را برطرف می‌کند (۲):

* به دلیل open source بودن امکان توسعه‌ی انواع آی‌سی با کاربری‌های گوناگون وجود دارد، به نحوی که تمامی آن‌ها از tool chain و software stack یکسانی استفاده کنند.
* به دلیل ماژولاربودن ریسک‌فایو می‌توان به سادگی آن را برای کاربردهای گوناگون توسعه داد و برای منظورهای مختلف به آن دستورالعمل‌های اختصاصی اضافه کرد، بدون آن که سازگاری آی‌سی ساخته‌شده با ابزارهای استاندارد موجود از دست برود.
* همچنین به دلیل ماژولاربودن، امکان ارائه‌ی طراحی‌های خاص‌منظوره‌ی کم‌هزینه‌تری وجود دارد که کاملا از لحاظ نرم‌افزار با طرح‌های استاندارد سازگار باشند.
* به دلیل کاهش هزینه‌‌ی طراحی یک SoC خاص‌منظوره، امکان طراحی و ساخت چنین آی‌سی‌هایی برای کاربردهای گسترده‌تری فراهم می‌گردد (۳).

همچنین برای تسهیل طراحی و ساخت SoCهای جدید و استفاده‌ی حداکثری از طراحی‌های پیشین، گروه BAR[[1]](#footnote-1) (پژوهش معماری کامپیوتر دانشگاه کالیفرنیا در برکلی) اقدام به ارائه‌ی زبان توصیف سخت‌افزار شئ‌گرایی مبنی بر Scala نموده و آن‌را Chisel نامیده. همچنین بر اساس زبان چیزل، ابزار Rocket Core ساخته شده که امکان طراحی و ساخت سریع پردازنده‌هایی بر مبنای معماری ریسک‌فایو را فراهم می‌کند. افزایش سرعت طراحی از این طریق به قدری بوده که گروه مذکور طی ۵ سال، ۱۱ پردازنده‌ی مختلف را tape out کرده است (۴).

در ادامه‌ی این گزارش به بررسی معماری ریسک‌فایو پرداخته می‌شود.

1. University of California, Berkeley Architecture Research [↑](#footnote-ref-1)